

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-227525
(43)Date of publication of application : 11.09.1989

(51)Int.CI.

H03M 1/76

(21)Application number : 63-053969

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 07.03.1988

(72)Inventor : YOKOZAWA YASUHIRO

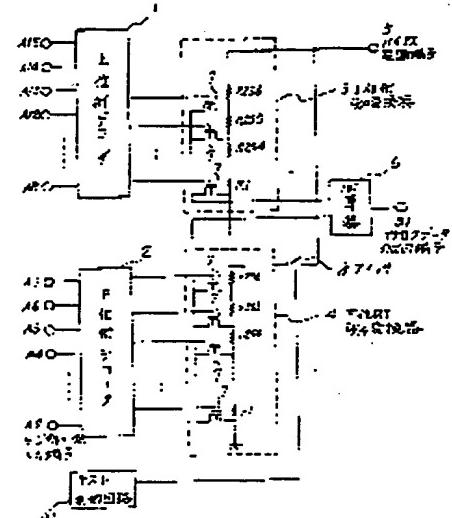
KOUKATA MICHIKO

(54) D/A CONVERTER

(57)Abstract:

PURPOSE: To correctly measure the resistance connected in series of a low order digit D/A converter without being influenced with a noise, etc., by providing a switching element to impress a bias potential to the resistance voltage divider of the low order digit D/A converter.

CONSTITUTION: The title converter is equipped with a high order digit D/A converter 3 and a low order digit D/A converter 4 to have a high order digit decoder 1 and a low order digit decoder 2 to decode digital data to be inputted and resistance voltage dividers composed of the series connection of plural unit resistances to prepare an analog data value according to the data to be decoded, and with a switch 8 for impressing the bias potential to the resistance voltage divider of the low order D/A converter 4. Consequently, when a signal is given from a test control circuit Q1 so as to turn on the switch 8, the voltage is impressed from a bias power terminal 5 to resistances r1 r256 of the resistance voltage divider of the low order side D/A converter 4. Thus, the accuracy of the resistance can be easily and correctly measured without being influenced by the noise, etc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平1-227525

⑬ Int. Cl.⁴
H 03 M 1/76

識別記号

庁内整理番号
6832-5J

⑭ 公開 平成1年(1989)9月11日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 D/A変換装置

⑯ 特願 昭63-53969

⑰ 出願 昭63(1988)3月7日

⑱ 発明者 横沢 靖弘 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 発明者 甲方 道子 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑳ 出願人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

㉑ 代理人 弁理士 内原晋

明細書

1. 発明の名称

D/A変換装置

2. 特許請求の範囲

デジタルデータをデコードするデコーダと、該デコーダによりデコードされたデジタルデータに応じたアナログデータを生成する電源間に直列に接続された複数の抵抗を有する抵抗分圧器と、該抵抗分圧器の所定の中間接続点と、所定電圧端子との間に接続されたスイッチ手段とを具備することを特徴とするD/A変換装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、D/A変換装置に関し、特に抵抗分圧方式のD/A変換装置に関するものである。

【従来の技術】

従来、この種の抵抗分圧方式のD/A変換装置

は、入力されたデジタルデータを上位桁と下位桁に分割し、夫々異なるD/A変換器に入力して、夫々のD/A変換器の抵抗分圧器によりデジタルデータに応じたアナログデータを得て、上位桁と下位桁のアナログデータの相対比をとった上で加算し、1つのアナログデータを出力させていた。

第2図に従来の抵抗分圧方式の16bit D/A変換装置を示す。A0～A15は、デジタルデータの入力端子であり、入力端子A0～A7に入力されたデジタルデータは下位桁デコーダに入力され、入力端子A8～A15に入力されたデジタルデータは上位桁デコーダに入力される。下位桁デコーダ2と上位桁デコーダ1はそれぞれ8bitのデジタル入力をデコードするが、それぞれ2⁸＝256本の出力信号線を持ち、下位桁デコーダ2の出力信号線256本は、下位桁D/A変換器4に接続され、上位桁デコーダ1の出力信号線256本は、上位桁D/A変換器3に接続される。

上位桁D/A変換器3のアナログ出力と下位桁

D/A変換器4のアナログ出力は加算器6に接続され、その加算された出力は、出力端子B1に接続される構成となっていた。

【発明が解決しようとする課題】

上述した従来のD/A変換装置の下位桁D/A変換器4のフルスケールの値は、上位桁D/A変換装置3の約1[LSB]分である。

例えば、バイアス電源5が、5[V]の場合には、上位桁D/A変換器3の1[LSB]は、下位桁D/A変換器4のフルスケールに等しく、この値は、 $5[V] + 2^0 = 1.9[\text{mV}]$ である。

一方、下位桁D/A変換器4の1[LSB]は $1.9[\text{mV}] + 2^0 = 7.6[\mu\text{V}]$ となる。従って、下位桁のD/A変換器4の直列抵抗の精度を、測定する場合に、1[LSB]が $7.6[\mu\text{V}]$ と極めて小さい為、ノイズ等の影響を受け易く、正確な値を測定し難いと共に、測定に時間がかかるという欠点を有する。

本発明は、下位桁D/A変換器の直列接続された抵抗を、ノイズ等の影響を受けずに正確に測定

イッチとを具備するD/A変換装置も得られる。

【実施例】

次に本発明について図面を参照して説明する。

第1図に、本発明の一実施例を示す。A0～A15は、デジタルデータの入力端子であり、入力されたデジタルデータをデコードする上位桁デコーダ1及び、下位桁デコーダ2とこれらデコーダによって、デコードされたデータに応じたアナログデータ値を生成する複数の単位抵抗の直列接続によって構成される抵抗分圧器を有する、上位桁D/A変換器3及び、下位桁D/A変換器4とこれら上位桁D/A変換器3と、下位桁変換器4のアナログ出力を加算する加算器6と、前記下位D/A変換器4の抵抗分圧器にバイアス電位を印加する為のスイッチ8とスイッチ8を制御する為のテスト制御回路Q1から構成されている。

前記、本発明の回路は、従来併、第2図の回路と全く同じ、動作をし、かつ、テスト制御回路Q1によりスイッチ8がONするように信号を加えれば、下位桁D/A変換器4の抵抗分圧器の抵抗

することが出来るD/A変換装置を提供することを目的とする。

【課題を解決するための手段】

本発明のD/A変換装置は、入力されたデジタルデータをデコードする上位桁デコーダ及び、下位桁デコーダと、複数の単位抵抗の直列回路からなる抵抗分圧器によってこれらデコーダによってデコードされたデータに応じたアナログデータ値を生成する上位桁D/A変換器及び、下位桁D/A変換器と、これら、上位桁D/A変換器と、下位桁D/A変換器のアナログ出力を加算する加算器と、上位桁および下位桁D/A変換器の抵抗分圧器からなる直列回路と下位桁D/A変換器の抵抗分圧器とにバイアス電位の印加を切り換えるスイッチング素子と、スイッチング素子のON/OFFを制御する制御回路とを有している。

本発明によれば、デコーダによりデコードされたデジタルデータに応じたアナログデータを生成する抵抗分圧器と、その抵抗分圧器の所定の抵抗接続点と所定の電圧端子との間に接続されたス

(r1-r2-…-r255-r256)にバイアス電源端子5より電圧が印加され、ノイズ等の影響を受けずに容易に抵抗の精度を正確に測定することが出来る。

また、上位側D/A変換器3の抵抗分圧器の抵抗の測定を行なう場合にはテスト制御回路Q1によりスイッチ8をOFFとして、従来通り上位桁および下位桁D/A変換器の抵抗分圧器からなる直列回路(r1-r2-…-r255-R1-…-R255-R256)にバイアス電位が印加される。

又、実使用においては、スイッチ8は、不意に、下位桁D/A変換器4に電圧が印加されることを防止する入力保護機能を兼ねている。

【発明の効果】

以上説明したように、本発明によれば、下位桁D/A変換器の両端にバイアス電圧を印加することにより、下位桁D/A変換器のフルスケールをバイアス電圧まで拡大することが出来る。この為下位桁D/A変換器の抵抗精度を高精度で測定す

ることが出来る。

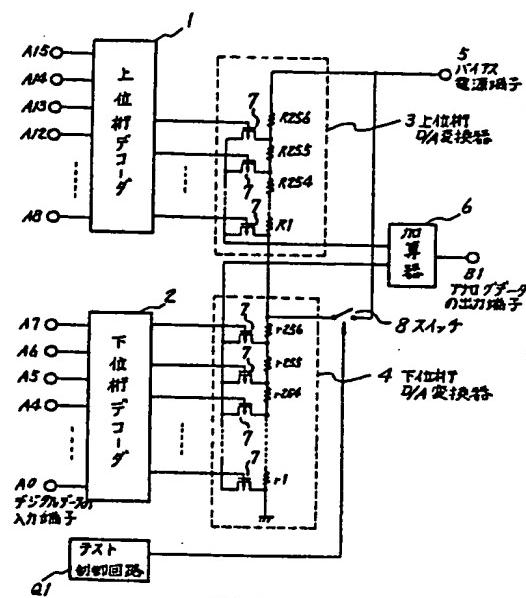
又、D/A変換器の特性を調べる場合、本発明を用いてまず下位桁D/A変換器の直線性を測定し、それから下位桁D/A変換器と上位桁D/A変換器の相対精度を測定し、上位桁D/A変換器の直線性を測定することによって、より高精度な特性の測定が可能になる。

4. 図面の簡単な説明

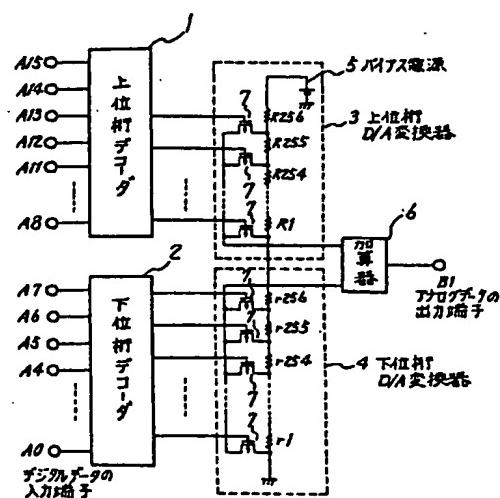
第1図は本発明のD/A変換装置の一実施例、第2図は従来のD/A変換装置である。

A 0～A 15……デジタルデータ入力端子、B 1
……アナログデータ出力端子、R 1～R 256,
r 1～r 256……抵抗、Q 1……テスト制御回路、
1……上位桁デコーダ、2……下位桁デコーダ、
3……上位桁D/A変換器、4……下位桁D/A
変換器、5……バイアス電源端子、6……加算器、
7……MOSトランジスタ、8……スイッチ。

代理人弁理士 内原晋



第1図



第2図